

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2001-516549

(P2001-516549A)

(43) 公表日 平成13年9月25日 (2001.9.25)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ド* (参考)
H 0 4 L 7/00		H 0 4 L 7/00	B
H 0 4 J 3/06		H 0 4 J 3/06	Z

審査請求 未請求 予備審査請求 有 (全 20 頁)

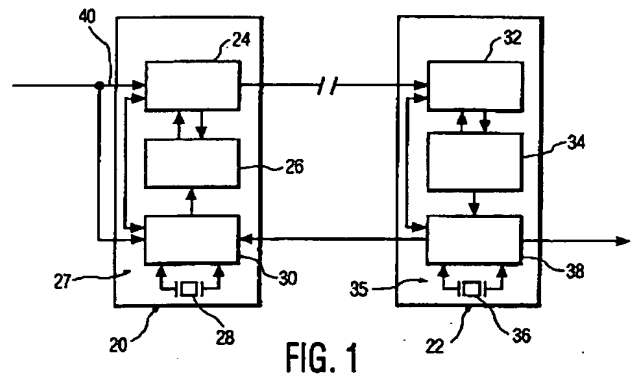
(21) 出願番号 特願平11-538095  
 (86) (22) 出願日 平成11年1月18日 (1999.1.18)  
 (85) 翻訳文提出日 平成11年9月21日 (1999.9.21)  
 (86) 国際出願番号 P C T / I B 9 9 / 0 0 0 5 9  
 (87) 国際公開番号 W O 9 9 / 3 8 2 8 7  
 (87) 国際公開日 平成11年7月29日 (1999.7.29)  
 (31) 優先権主張番号 0 9 / 0 1 2 , 3 2 1  
 (32) 優先日 平成10年1月23日 (1998.1.23)  
 (33) 優先権主張国 米国 (US)  
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR

(71) 出願人 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ  
 オランダ国 5621 ベーアー アインドーフェン フルーネヴァウツウェッハ 1  
 (72) 発明者 佐藤 隆  
 オランダ国 5656 アーアー アインドーフェン プロフ ホルストラーン 6  
 (74) 代理人 弁理士 杉村 暁秀 (外2名)

(54) 【発明の名称】 ネットワークノード同期方法

(57) 【要約】

サイクلمスタノードをサイクルスレーブノードに同期させる方法であって、サイクルスレーブノード内の論理回路を用いて、サイクルスレーブノードが同期情報を受信するのに応答してタイマオフセット値を決定し、前記タイマオフセット値をサイクلمスタノードに送るステップと、サイクلمスタノード内の論理回路を用いて、サイクلمスタノードのサイクルタイムの値を前記タイマオフセット値に基づいて調整するステップとを含む。同期情報はサイクルスレーブノードサイクルタイムの1さノード多数倍の規定のレートで発生するサイクルタイムリセット信号が好ましい。サイクلمスタノードとサイクルスレーブノードは第1のネットワーク又はサブネットワーク内に有利に含めることができるとともに、サイクルリセット信号は第1のネットワーク又はサブネットワークの外部の第2のネットワーク又はサブネットワークにより供給することができる。



## 【特許請求の範囲】

1. サイクルマスタノードをサイクルスレーブノードに同期させるために、  
前記サイクルスレーブノード内の論理回路を用いて、前記サイクルスレーブノードが同期情報を受信するのに応答してタイマオフセット値を決定するステップと、

前記タイマオフセット値を前記サイクルマスタノードに送るステップと、

前記サイクルマスタノード内の論理回路を用いて、サイクルマスタノードサイクルタイマの値を前記タイマオフセット値に基づいて調整するステップと、  
を含むことを特徴とするサイクルマスタノードをサイクルスレーブノードに同期させる方法。

2. 同期情報はサイクルタイマリセット信号を含むことを特徴とする請求項1記載の方法。

3. 前記サイクルスレーブノードが、更に、1サイクル中に初期値から最終値までカウントするサイクルタイマを含み、

前記サイクルタイマリセット信号が前記サイクルスレーブノードサイクルタイマの1サイクルの多数倍の規定のレートで発生することを特徴とする請求項2記載の方法。

4. 前記サイクルスレーブノードが、更に、タイマオフセットレジスタを含み、

前記サイクルマスタノードが、更に、タイマ調整レジスタを含み、

前記サイクルスレーブノード内の論理回路を用いてタイマオフセット値を決定するステップは、

前記サイクルタイマリセット信号を検出するサブステップ、

前記サイクルスレーブノードサイクルタイマの値を読み出すサブステップと、

前記サイクルスレーブノードサイクルタイマから読み出した値から前記タイマオフセット値を取り出すサブステップと、

前記タイマオフセット値を前記タイマオフセットレジスタにロードするサブステップと、

を含むことを特徴とする請求項3記載の方法。

5. 前記タイマオフセット値をサイクルマスタノードに送るステップは、

前記タイマオフセットレジスタから前記タイマオフセット値を読み出すサブステップと、

前記タイマオフセット値を非同期データ転送プロトコルを用いて前記サイクルマスタノードに送るサブステップと、

を含むことを特徴とする請求項4記載の方法。

6. 前記サイクルマスタノード内の論理回路を用いてサイクルマスタノードサイクルタイマの値を調整するステップは、

前記サイクルスレーブノードから受信された前記タイマオフセット値を前記タイマ調整レジスタにロードするサブステップと、

前記サイクルマスタノードサイクルタイマの値を読み出すサブステップと、

前記サイクルマスタノードサイクルタイマから読み出した値から前記タイマオフセット値を減算して調整されたサイクルタイマ値を発生するサブステップと、

前記調整されたサイクルタイマ値から調整された最終サイクルタイマ値を取り出すサブステップと、

前記調整された最終サイクルタイマ値を前記サイクルマスタノードサイクルタイマにロードするサブステップと、

を含むことを特徴とする請求項4記載の方法。

7. 前記サイクルスレーブノードサイクルタイマから読み出された値からタイマオフセット値を取り出すサブステップは、

前記サイクルタイマリセット信号が検出された第1の時間と前記サイクルスレーブノードサイクルタイマの値が読み出された第2の時間との間に経過したクロックサイクルの数を計算するサブステップと、

上記の計算サブステップの結果を前記サイクルスレーブノードサイクルタイマから読み出された値から減算して前記タイマオフセット値を形成するサブステップと、

を含むことを特徴とする請求項4記載の方法。

8. 前記調整された最終サイクルタイマ値を取り出すサブステップは、

前記サイクルマスタノードサイクルタイマの値が読み出される第1の時間から出発して前記調整された最終サイクルタイマ値が前記サイクルマスタノードサイクルタイマにロードされる第2の時間で終わる所要の全処理を実行するのに要するクロックサイクルの数を計算するサブステップ、

上記の計算サブステップの結果を前記調整されたサイクルタイマ値に加算し、この加算の結果を前記調整された最終サイクルタイマ値とするサブステップと、を含むことを特徴とする請求項6記載の方法。

9. 前記サイクルマスタノード及び前記サイクルスレーブノードを第1ネットワークの一部とし、

前記同期情報は第1ネットワークに対し外部の第2ネットワークにより供給することを特徴とする請求項1記載の方法。

10. 前記サイクルマスタノード及び前記サイクルスレーブノードを第1サブネットワークの一部とし、

前記同期情報は第1サブネットワークに対し外部の第2サブネットワークにより供給することを特徴とする請求項1記載の方法。

11. 前記サイクルマスタノード及び前記サイクルスレーブノードを複数の追加のサイクルスレーブノードも含む第1サブネットワークの一部とし、

前記サイクルタイマリセット信号を第1サブネットワークに対し外部の第2サブネットワークにより同期式に供給することを特徴とする請求項3記載の方法。

12. 前記サイクルマスタノードサイクルタイマの値を第1サブネットワーク内の全てのサイクルスレーブノードに定期的に分配して、第1サブネットワーク内の全てのサイクルスレーブノードをサイクルタイマリセット信号に同期させるステップを更に含むことを特徴とする請求項11記載の方法。

13. 前記サイクルマスタノード及び前記サイクルスレーブノードを複数の追加のサイクルスレーブノードも含む第1ネットワークの一部とし、

前記サイクルタイマリセット信号を第1ネットワークに対し外部の第2ネットワークにより同期式に供給することを特徴とする請求項3記載の方法。

14. 前記サイクルマスタノードサイクルタイマの値を第1ネットワーク内の全

てのサイクルスレーブノードに定期的に分配して、第1ネットワーク内の全てのサイクルスレーブノードをサイクルタイマリセット信号に同期させるステップを更に含むことを特徴とする請求項11記載の方法。

15. サイクルスレーブノードサイクルタイマ及びサイクルスレーブノード論理回路を含むサイクルスレーブノードと、  
サイクルマスタノードサイクルタイマ及びサイクルマスタノード論理回路を含むサイクルマスタノードを含み、

前記サイクルスレーブノード論理回路が同期情報に応答してタイマオフセット値を決定し、これを前記サイクルマスタノードに送信し、且つ

前記サイクルマスタノード論理回路がそのサイクルマスタノードサイクルタイマの値を前記タイマオフセット値に基づいて調整することを特徴とするシステム。

16. 第1ローカルバスに接続された複数の第1ノードを含む第1サブネットワークと、

第2ローカルバスに接続された複数の第2ノードを含む第2サブネットワークと、

第1及び第2のサブネットワークを相互接続するブリッジとを含み、

前記ブリッジが、

第1ローカルバスに結合された第1ブリッジ入口、

第2ローカルバスに結合された第2ブリッジ入口、及び

第1及び第2ブリッジ入口を相互接続する相互接続システムを含み、

前記複数の第1ノードの内の、第1サブネットワークのローカルサイクルマスタとして作用する選択した1つのノードが非ブリッジノードであることを特徴とするネットワーク。

## 【発明の詳細な説明】

## ネットワークノード同期方法

## 発明の背景

本発明は、一般に、1以上のネットワーク又はサブネットワーク内のサイクルマスタノードとサイクルスレーブノードを同期させる技術に関するものであり、特に、外部ネットワーク又は外部サブネットワークからサイクルスレーブノードに供給される同期情報を用いてサイクルマスタノードをサイクルスレーブノードに同期させる技術に関するものである。

慣例のネットワークでは、種々の構成素子（例えばコンピュータ、消費者電子機器、オフィスオートメーション機器、等）がローカルバス（代表的には直列バス、例えばIEEE1394スタンダードにより規定されている直列バス（一般に「IEEE1394」バスという））により相互接続されている。ローカルバスにより相互接続された各構成素子をローカルバス上の「ノード」という。代表的には、ローカルバス上のノードの一つが共通のサイクルクロックを発生し（一般にこのノードを「ローカルサイクルマスタ」という）、ローカルバス上の他の全てのノード（一般に「サイクルスレーブノード」という）に分配する。一般に、サイクルスレーブノードの各々はローカルサイクルマスタにより同期して更新されるサイクルタイマを有している。

複数の個々のネットワーク（各ネットワークは独自のローカルバスを有する）からなるネットワークもある。全ネットワーク内のこれらの個々のネットワークは一般に「サブネットワーク」という。サブネットワークは1以上の「ブリッジ」によりリンク又は相互接続される。

ネットワークワイドサイクルクロック（「サイクル」）同期を用いるネットワークもある。ネットワークをサブネットワークに分割する場合には、ネットワークワイドクロック同期を得るために各サブネットワークのローカルサイクルマスタをネットワークワイド（「グローバル」）サイクルマスタに同期させる必要がある。このようなネットワークでは、各ローカルサイクルマスタをネットワーク内の

以上のブリッジに位置させる。代表的には各ローカルサイクルマスタは「ブリッジ入口」内に配置される。

例えば、2つのサブネットワークのうちの第1サブネットワークのローカルバスに接続された第1ブリッジ入口と、2つのサブネットワークのうちの第2サブネットワークのローカルバスに接続された第2ブリッジ入口とを有するブリッジにより相互接続された2つのサブネットワークを有する既知のネットワークでは、第1サブネットワークに対するローカルサイクルマスタが第1のブリッジ入口内に配置され、第2サブネットワークに対するローカルサイクルマスタが第2のブリッジ入口内に配置される。ネットワークワイドクロック同期はクロック同期情報をローカルサイクルマスタの間(即ち第1及び第2のブリッジ入口の間)で転送することにより達成される。しかし、ローカルサイクルマスタをブリッジ内に位置させることが常に望ましいとは限らず、また常にできるわけでもない。従って、ブリッジ内に位置しない非ブリッジノードをローカルサイクルマスタにしても、ネットワーク内の1以上のブリッジを経てネットワークワイド同期を達成することができる技術が要求されている。もっとおおざっぱに言うと、この技術分野で現在要求されているのは、1以上のサブネットワークを含むネットワーク内のサイクルマスタノードをサイクルスレーブノードのうちの1つに同期させるメカニズムである。本発明はこの要求を満たすものである。

#### 発明の要旨

本発明の第1の特徴はサイクルマスタノードをサイクルスレーブノードに同期させる方法を提供することであり、本発明の方法は、

サイクルスレーブノード内の論理回路を用いて、該サイクルスレーブノードが同期情報を受信するのに応答してタイマオフセット値を決定するステップと、

前記タイマオフセット値をサイクルマスタノードに送るステップと、

サイクルマスタノード内の論理回路を用いて、サイクルマスタノードサイクルタイマの値を前記タイマオフセット値に基づいて調整するステップと、  
を含むことを特徴とする。

同期情報は、サイクルスレーブノードサイクルタイマの1サイクルの多数倍の規定のレートで発生するサイクルリセット信号とするのが好ましい。後述する実

施例では、サイクルスレーブノードは更にタイマオフセットレジスタを含み、サイクルマスタノードは更にタイマ調整レジスタを含む。

サイクルスレーブノード内の論理回路を用いてタイマオフセット値を決定する前記ステップは、

サイクルリセット信号を検出するサブステップと、

サイクルスレーブノードサイクルタイマの値を読み出すサブステップと、

サイクルスレーブノードサイクルタイマから読み出した値からタイマオフセット値を取り出すサブステップと、

タイマオフセット値をタイマオフセットレジスタにロードするサブステップと、を含むのが好ましい。

タイマオフセット値をサイクルマスタノードに送る前記ステップは、

タイマオフセットレジスタからタイマオフセット値を読み出すサブステップと、

該タイマオフセット値を非同期データ転送プロトコルを用いてサイクルマスタノードに送るサブステップと、を含むのが好ましい。

サイクルマスタノード内の論理回路を用いてサイクルマスタノードサイクルタイマの値を調整する前記ステップは、

サイクルスレーブノードから受信されたタイマオフセット値をタイマ調整レジスタにロードするサブステップと、

サイクルマスタノードサイクルタイマの値を読み出すサブステップと、

サイクルマスタノードサイクルタイマから読み出した値からタイマオフセット値を減算して調整されたサイクルタイマ値を発生するサブステップと、

調整されたサイクルタイマ値から調整された最終サイクルタイマ値を取り出すサブステップと、

調整された最終サイクルタイマ値をサイクルマスタノードのサイクルタイマにロードするサブステップと、

を含むのが好ましい。

サイクルスレーブノードサイクルタイマから読み出した値からタイマオフセッ



ト値を取り出す前記サブステップは、

サイクルリセット信号が検出された第1の時間とサイクルスレーブノードサイクルタイマから値が読み出された第2の時間との間に経過したクロックサイクルの数を計算するサブステップと、

上記の計算ステップの結果をサイクルスレーブノードサイクルタイマから読み出された値から減算するサブステップと、

を含むのが好ましい。

調整された最終サイクルタイマ値を取り出すサブステップは、

サイクルマスタノードサイクルタイマから値が読み出される第1の時間から出発して調整された最終サイクルタイマ値がサイクルマスタノードサイクルタイマにロードされる第2の時間で終わる所要の全処理を実行するのに要するクロックサイクルの数を計算するサブステップ、

上記の計算サブステップの結果を調整されたサイクルタイマ値に加算し、この加算の結果を調整された最終サイクルタイマ値とするサブステップと、  
を含むのが好ましい。

後述する実施例では、上記のサイクルマスタノード及び上記のサイクルスレーブノードを第1ネットワーク又はサブネットワークの一部分とし、同期情報は第1ネットワーク又はサブネットワークに対し外部の第2ネットワーク又はサブネットワークにより供給する。

本発明の同期方法は、サイクルマスタノードサイクルタイマの値を第1ネットワーク又はサブネットワーク内の全てのサイクルスレーブノードに定期的に分配して、第1ネットワーク又はサブネットワーク内の全てのサイクルスレーブノードをサイクルリセット信号に同期させるステップを更に含むものとするのが好ましい。

本発明の他の特徴は本発明の同期方法を実施するシステムを提供することにある。本発明は、更に、

第1ローカルバスに接続された複数の第1ノードを含む第1サブネットワークと、

第2ローカルバスに接続された複数の第2ノードを含む第2サブネットワークと、

第1及び第2サブネットワークを相互接続するブリッジとを含み、

前記ブリッジが、

第1ローカルバスに結合された第1ブリッジ入口、

第2ローカルバスに結合された第2ブリッジ入口、及び

第1及び第2ブリッジ入口を相互接続する相互接続系を含み、

前記複数の第1ノードの内の、第1サブネットワークのローカルサイクルマスタとして作用する選択した1つのノードが非ブリッジノードであるとともに、前記複数の第2ノードの内の、第2サブネットワークのローカルサイクルマスタとして作用する選択した1つのノードが非ブリッジノードであることを特徴とするネットワークを提供するものである。

後述する実施例では、第1及び第2ブリッジ入口の各々が本発明に従って構成されたサイクルスレーブノードを含み、第1及び第2サブネットワークに対するローカルサイクルマスタの各々が本発明に従って構成されたサイクルマスタノードを具えるものとする。

#### 図面の簡単な説明

本発明のこれらの及び他の特徴、目的及び利点は図面を参照して以下の詳細な説明を読めば、一層明確に理解される。図面において、

図1は本発明の好適実施例の方法を実施するシステムのブロック図であり、

図2は本発明の代表例に従って構成されたネットワークのブロック図であり、

図3は本発明の他の代表例に従って構成されたネットワークのブロック図である。

#### 発明の詳細な説明

図1につき説明すると、図1には以下に記載する本発明の方法を実施するシステムのブロック図が示されている。特に、サイクルスレーブノード20及びサイクルマスタノード22が示されている。サイクルスレーブノード20はマイクロコントローラ24、タイマオフセットレジスタ26及びサイクルクロックサブシ

ステム27を含み、サイクルクロックサブシステム27は規定のクロックレートで発振する水晶28によりクロックされるサイクルタイマ30を含む。サイクルマスタノード22はマイクロコントローラ32、タイマ調整レジスタ34及びサ

イクルクロックサブシステム35を含み、サイクルクロックサブシステム35は規定のクロックレートで発振する水晶36によりクロックされるサイクルタイマ38を含む。サイクルタイマ30及び38の各々は、現タイマ値(即ち現カウント)が表わす現サイクルの一部分を示す分数値を蓄積する1つのフィールド及びサイクルタイマが通過したサイクルの総(通過/累積)数を示す総サイクルカウントを蓄積する別のフィールドを含む個別のレジスタ又はデータフィールドを含むのが好ましい。

慣例のネットワークと同様に、サイクルマスタノード22はそのサイクルタイマ値をネットワーク又はその一部のサブネットワーク内の全ての他のノード(即ち全てのサイクルスレーブノード)に定期的に分配して、ネットワーク又はサブネットワーク内の全てのサイクルスレーブノード内のサイクルタイマ(サイクルスレーブノード20内のサイクルタイマ30を含む)の各々をサイクルマスタノード22内のサイクルタイマ38に同期させる。

しかし、本発明では、ネットワーク又はサブネットワーク内のサイクルスレーブノードのうちの図1にサイクルスレーブノード20として示す1つのノードは外部ネットワーク又はサブネットワークからリセットライン40を経て同期タイマリセット信号を受信する。このリセット信号は1サイクルの多数倍が好ましい規定のレートで定期的に発生される。

ここで、「サイクル」は、サイクルタイマが初期値からその最終値までカウントするのに要する期間を意味し、このときタイマレジスタが循環し、その初期値に戻る。例えば、サイクルタイマをモジュロN-カウンタとして実現する場合には、「サイクル」はこのカウンタがその初期値(A)から(A)+N-1までカウントしその初期値(A)に戻る前までの期間である。

本発明では、サイクルスレーブノード20のマイクロコントローラ24を次のステップ含む制御アルゴリズムを実行するようプログラムする。即ち、

- ( 1 ) 外部同期サイクルリセット信号を検出するステップ；
- ( 2 ) サイクルタイマ30の( 1 サイクルより小さい ) 部分値を読み取るステップ；この部分値は、現サイクルタイマ値( 即ち現カウント ) が  $N/2$  以下のとき正の整数として、現サイクルタイマ値が  $N/2$  より大きいとき負の整数として表わす

のが好ましいが、本発明はこのスキームに限定されない(例えば正/負の遷移に対する閾値はサイクルタイマ30の初期値と最大値の間の任意の適当な値にセットすることができる)。例えば、サイクルタイマ30が8000のモジュラス( $N$ )を有するものとする、部分値( $I$ )は現カウント( $X$ )が $\leq 4,000$ のときサイクルタイマ30の現カウント( $X$ )に等しい正の整数値として、現カウント( $X$ )が $> 4,000$ のとき現カウント( $X$ )とサイクルタイマ30のモジュラス( $N$ )との差に等しい負の整数値として表わすことができ、即ち  $X \leq N/2$  のとき  $I = X$  (正の整数値)、及び  $X > N/2$  のとき  $I = (X - N)$  (負の整数値)とすることができる。

( 3 ) 外部同期サイクルリセット信号が検出された時間と部分サイクルタイマ値が読み取られた時間との間にいくつのクロックサイクルが通過したかを計算するステップ；

( 4 ) ステップ( 2 ) で読み取られた部分サイクルタイマ値からステップ( 3 ) の結果を減算するステップ；

( 5 ) ステップ( 4 ) の結果をタイマオフセット値としてタイマオフセットレジスタ26にロードするステップ；

( 6 ) タイマオフセットレジスタ26からタイマオフセット値を読み出し、サイクルマスタノード22に、都合の良い時点に、例えば非同期データ転送メカニズムを用いて送出するステップ；但し、タイマオフセット値が零の場合には、( サイクルマスタノード22内のサイクルタイマ38の値を調整する必要がないため ) これをサイクルマスタノード22に送る必要はない。

本発明を( プログラムしたマイクロコントローラを用いなくて ) 全てハードウェアで、又は他の任意の都合の良い方法で実現する場合にはステップ( 3 ) 及び

( 4 ) を除去することができ、この場合にはその処理遅延が除去され、或いはタイマオフセット値の取り出しにおいて考慮し得る固定の処理遅延が生ずるだけとなることが容易に理解される。

本発明によれば、更に、サイクルマスタノード22のマイクロコントローラ32を次のステップを含む制御アルゴリズムを実行するようにプログラムする。即ち、

( 1 ) サイクルスレーブノード20から受信したタイマオフセット値をタイマ調整レジスタ34にロードするステップ；

( 2 ) サイクルタイマ38の部分値(1サイクル小さい)を読み取るステップと；

( 3 ) ステップ( 1 ) においてタイマ調整レジスタ34にロードされたタイマオフセット値をステップ( 2 ) においてサイクルタイマ38から読み取られた部分サイクルタイマ値から減算するステップ；

( 4 ) ステップ( 2 ) において部分サイクルタイマ値がサイクルタイマ38から読み取られる時間から出発し、( 後記のステップ( 6 ) において) 最終( 調整された) サイクルタイマ値がサイクルタイマ38にロードされる時間で終る、所要の全処理を実行するのに要するクロックサイクルの数を計算するステップ；

( 5 ) ステップ( 3 ) の結果をステップ( 4 ) の結果に加算し、サイクルタイマ38の所要の循環処理を実行させるステップ；例えば、その和が最大値より大きい場合( 即ちオーバフロー状態が発生している場合) には、サイクルタイマ38のモジュラス( N ) をその和から減算して結果値に到達させる必要があるとともに、総サイクルカウントを1だけインクリメントさせる必要があり、その和が初期値より小さい場合( 即ちアンダーフロー状態が発生している場合) には、サイクルタイマ38のモジュラス( N ) をその和に加算して結果値に到達させる必要があるとともに、総サイクルカウントを1だけデクリメントさせる必要がある；

( 6 ) 調整されたサイクルタイマ値を構成するステップ( 5 ) の結果値をサイクルタイマ38にロードするステップ；

本発明を( プログラムしたマイクロコントローラを用いしないで) 全てハードウェアで、又は他の任意の都合の良い方法で実現する場合にはステップ( 4 ) を除

去することができ、この場合にはその処理遅延が除去され、或いはタイマオフセット値の取り出しにおいて考慮し得る固定の処理遅延が生ずるだけとなることが容易に理解される。

本発明の上述した方法によれば、サイクルマスタノード22のサイクルタイマ値が外部同期サイクリリセット信号に同期され、従ってネットワーク又はサブネットワーク内の全てのサイクルスレーブノードのサイクルタイマ（サイクルスレーブノード20のサイクルタイマ30を含む）が外部同期サイクリリセット信号

に同期した状態に維持される。当業者であれば、本発明の方法（及びシステム）は簡単且つ高信頼度であるとともに、データ（例えばパケット）損失又はサイクルスレーブノードからの不定期帰還に対し大きな免疫を有することが理解されるであろう。

次に図2につき説明すると、図2には本発明の代表的な例に従って構成されたネットワーク50が示されている。ネットワーク50はサブネットワークAのローカルバスAに接続された複数のノードNaと、サブネットワークBのローカルバスBに接続された複数のノードNbを含む。サブネットワークA及びBはブリッジ56により相互接続され、このブリッジはローカルバスAに結合されたブリッジ入口Aと、ローカルバスBに結合されたブリッジ入口Bを有する。ブリッジ入口A及びBは有線又は無線相互接続システム（ときどき「内部ファブリック」とよばれている）55により相互接続される。

ブリッジ入口Aは本発明に従って構成されたサイクルスレーブノード60（例えば、図1に示すサイクルスレーブノード20）を含み、ブリッジ入口Bは本発明に従って構成されたサイクルスレーブノード62（例えば、図1に示すサイクルスレーブノード20）を含む。

サブネットワークAに対するローカルサイクルマスタ（図1に示すサイクルマスタノード22）はサブネットワークAのローカルバスAに接続されたノードNaの選択した任意の1つにすることができるとともに、サブネットワークBに対するローカルサイクルマスタ（図1に示すサイクルマスタノード22）はサブネットワークBのローカルバスBに接続されたノードNbの選択した任意の1つにする

ことができる。

従って、この代表例によれば、ローカルサイクルマスタとして設計されたものを除くサブネットワーク A の全てのノード Na 及びローカルサイクルマスタとして設計されたものを除くサブネットワーク B の全てのノード Nb は慣例のスレーブノードとして適切に実現される。従って、各ローカルサイクルマスタは非ブリッジノードである。尚、ブリッジ入口 A 又は B の何れか一つにサイクルスレーブののではなくサイクルマスタノードを含めてもよいこと明かであり、この場合にはローカルサイクルマスタの一つを非ブリッジノードとするだけである。

次に図 3 につき説明すると、図 3 には本発明の他の代表例に従って構成されたネットワーク 66 が示されている。ネットワーク 66 は複数のローカルバス（ローカルバス A、B 及び C を含む）と、複数のブリッジ（ブリッジ A 及び B を含む）を含んでいる。デージーチェーン接続し得るネットワーク 66 内のバスの数及びブリッジの数は實際上無制限であることは容易に認識されるであろう。

現在使用可能な技術では、2つのブリッジの固定の1つ A 又は B がローカルバス A に対するローカルサイクルマスタを含む必要がある。しかし、本発明によれば、2つのブリッジの選択した何れか1つ A 又は B に本発明に従って構成されたサイクルマスタノードを含めるとともに、2つのブリッジの他方 B 又は A に本発明に従って構成されたサイクルスレーブノードを含めることができる。従って、ネットワーク設計者はローカルバス A に対するローカルサイクルマスタを固定のブリッジ A 又は B に含める必要がなくなるため、ネットワークの構成又は再構成において大きな自由度が得られる。

以上本発明を詳細に説明したが、本発明の基本コンセプトの多くの変形及び／又は変更が当業者に明らかであり、これらの変形及び／又は変更も請求の範囲で特定される本発明の範囲に含まれるものである。

例えば、上述した制御アルゴリズムを適切にプログラムされたマイクロコントローラ 24 及び 32 により実行する代わりに、任意のハードワイヤード又はプログラマブルデジタル信号処理又は論理回路を使用することができることは当業者に明かである。

更に、タイマオフセットレジスタ26及びタイマ調整レジスタ34は個別のレジスタとして記載したが、本発明をハードウェアで実現する場合には、タイマオフセットレジスタ26は読出し専用にし得るとともにタイマ調整レジスタ34は書込み専用にし得るため、これらのレジスタはアドレスに関し単一のレジスタとして実現することができること明かである。

本発明の方法を実現するために使用するレジスタ及び論理回路は既存のリンクレイヤチップ（例えば、IEEE1394リンクレイヤチップ）を用いてソフトウェアで実現することができ、且つ現在開発中の将来のリンクレイヤチップ内にハードウェアで有利に実現することもできる。

また、所定のネットワーク内の全てのノード（又は選択したノード）は、例えばタイマオフセットレジスタ26及びタイマ調整レジスタ34（又はその等価物）の両方を含む必要なハードウェア及び／又はソフトウェアの全てをこれらのノードに含めることにより、本発明によるサイクルマスタノードとして又はサイクルスレーブノードとして作用する能力を有するものとして製造することができる点にも注意されたい。



【 図 1 】

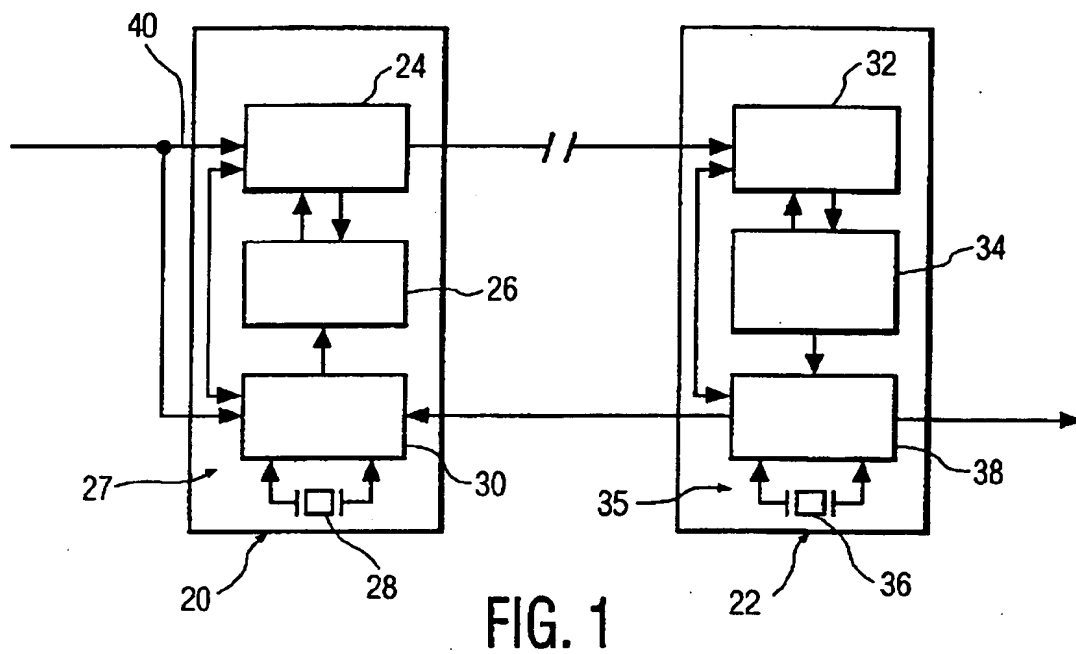


FIG. 1

【 図 2 】

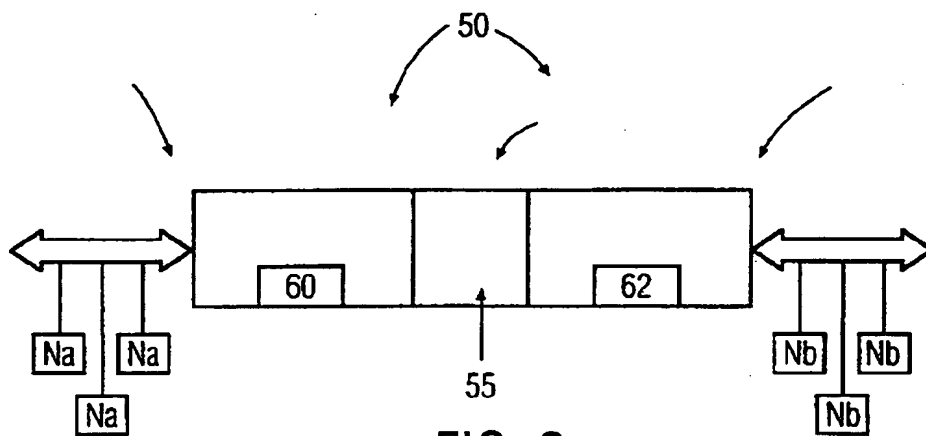


FIG. 2

【 図 3 】

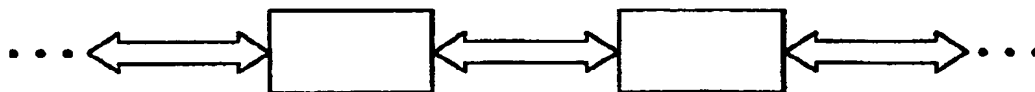


FIG. 3

【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 99/00059

## A. CLASSIFICATION OF SUBJECT MATTER

IPC6: H04L 7/03, H04J 3/06

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC6: H04L, H04J

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

SE,DK,FI,NO classes as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPDOC, WPIL, JAPIO

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5689688 A (HOVEY RAYMOND STRONG ET AL), 18 November 1997 (18.11.97), column 5, line 16 - column 9, line 50, figure 1, claims 1-9, abstract	1-3,15-16
Y	--	4-14
X	US 4815110 A (BENGT H. BENSON ET AL), 21 March 1989 (21.03.89), see the whole document	1-3,15
Y	--	4-14
A	--	16

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

## \* Special categories of cited documents

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

7 July 1999

Date of mailing of the international search report

08-07-1999

Name and mailing address of the ISA/

Swedish Patent Office

Box 5055, S-102 42 STOCKHOLM

Facsimile No. +46 8 666 02 86

Authorized officer

Patrik Rydman/mj

Telephone No. +46 8 782 25 00

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/IB 99/00059

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5525921 A (JOHN M. CALLAHAN), 11 June 1996 (11.06.96), claims 1-4, abstract  --	5-8
A	EP 0522607 B1 (TELEFONAKTIEBOLAGET LM ERICSSON), 26 June 1996 (26.06.96), see the whole document  --	1-16
A	EP 0253096 A2 (MITSUBISHI DENKI KABUSHIKI KAISHA), 20 January 1988 (20.01.88), page 10, line 19 - page 13, line 23, claims 1-4, abstract  --	1-16
A	WO 9502294 A1 (APPLE COMPUTER INC.), 19 January 1995 (19.01.95), page 5, line 6 - page 6, line 20, claims 1-4, abstract  --	1-16
A	WO 9704614 A1 (SENSORMATIC ELECTRONICS CORPORATION), 6 February 1997 (06.02.97), page 4, line 25 - page 10, line 8, claims 1-3, abstract  -- -----	1-16

## INTERNATIONAL SEARCH REPORT

Information on patent family members

01/06/99

International application No.

PCT/IB 99/00059

Patent document cited in search report			Publication date	Patent family member(s)	Publication date
US	5689688	A	18/11/97	NONE	
US	4815110	A	21/03/89	DE 3785780 A,T DK 111687 A DK 166524 B EP 0237106 A,B SE 0237106 T3 JP 2529682 B JP 62271540 A SE 452231 B,C SE 8601073 A	17/06/93 08/09/87 01/06/93 16/09/87  28/08/96 25/11/87 16/11/87 08/09/87
US	5525921	A	11/06/96	NONE	
EP	0522607	B1	26/06/96	DE 69211781 D,T JP 6169495 A SE 468495 B,C SE 9101635 A	23/01/97 14/06/94 25/01/93 30/11/92
EP	0253096	A2	20/01/88	DE 3751571 D,T JP 1884307 C JP 6005309 B JP 62272182 A US 4807259 A JP 1890723 C JP 6018364 B JP 63001126 A	11/04/96 10/11/94 19/01/94 26/11/87 21/02/89 07/12/94 09/03/94 06/01/88
WO	9502294	A1	19/01/95	AU 7255494 A US 5408506 A	06/02/95 18/04/95
WO	9704614	A1	06/02/97	AU 6487896 A CA 2226322 A EP 0878110 A US 5751220 A	18/02/97 06/02/97 18/11/98 12/05/98

This Page is inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images problems checked, please do not report the problems to the IFW Image Problem Mailbox**